

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

## PROCESSOR MOUNTING CIRCUIT

Patent Number: JP1220498  
Publication date: 1989-09-04  
Inventor(s): MAENO MIKIHICO; others: 01  
Applicant(s): OKI ELECTRIC IND CO LTD  
Requested Patent: ☐ JP1220498  
Application Number: JP19880044617 19880229  
Priority Number(s):  
IPC Classification: H05K9/00; G06F1/00  
EC Classification:  
Equivalents: JP2070755C, JP7107956B

### Abstract

**PURPOSE:** To obtain a large noise suppressing effect at a part where the noise countermeasure is most difficult, by separating a microprocessor device and peripheral circuit parts which are connected to the microprocessor device through bus lines from other circuit parts, and mounting the device and the parts on a multilayered board.

**CONSTITUTION:** A microprocessor device 11 which is mounted on a CPU module 30 and an IO port 13 are connected through bus lines 12. High frequency noises are most easily generated at this part. Therefore, the CPU module 30 is mounted on a multilayered board 10. Other components 61, such as a space driving circuit 36, a drive correcting circuit 37 and a line-feed driving circuit 38 are hard to become high frequency noise sources. Therefore, these components are mounted on an ordinary board 20. Meanwhile, it is desirable that peripheral circuit component 60 comprising ROMs 50-52 which are connected to bus lines 12' extended from the module 30 are mounted on the multilayered board like the module 30 for preventing the noise generation. However, these ROMs require a broad mounting area, and the contents of the programs are individually different. Therefore they are mounted on the ordinary board 20.

Data supplied from the esp@cenet database - 12

⑨ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

平1-220498

⑤ Int. Cl.<sup>4</sup>

H 05 K 9/00  
G 06 F 1/00

識別記号

3 2 0

庁内整理番号

R-7039-5E  
G-7459-5B

⑬ 公開 平成1年(1989)9月4日

審査請求 未請求 請求項の数 4 (全7頁)

⑭ 発明の名称 プロセッサ搭載回路

⑯ 特 願 昭63-44617

⑰ 出 願 昭63(1988)2月29日

⑱ 発 明 者 前 野 幹 彦 東京都港区虎ノ門1丁目7番12号 沖電気工業株式会社内  
⑲ 発 明 者 吉 村 幸 太 郎 東京都港区虎ノ門1丁目7番12号 沖電気工業株式会社内  
⑳ 出 願 人 沖電気工業株式会社 東京都港区虎ノ門1丁目7番12号  
㉑ 代 理 人 弁理士 鈴木 敏 明

明 細 書

1. 発明の名称

プロセッサ搭載回路

2. 特許請求の範囲

1. プリンタの動作を制御するマイクロプロセッサと、

このマイクロプロセッサとバスラインを通じて接続されたアイオーポートと、

このアイオーポートに接続された被制御部とを有し、

前記マイクロプロセッサとバスラインとアイオーポートとは、

3層以上の導体パターンを絶縁体層を介して積層した多層基板に搭載され、

他の回路部品は、

前記多層基板とは別体の、片面あるいは両面に導体パターンを形成した通常の基板に搭載されたことを特徴とするプロセッサ搭載回路。

2. 前記マイクロプロセッサと、バスラインを通じてランダム・アクセス・メモリが接続されてお

り、

このランダム・アクセス・メモリは、前記マイクロプロセッサとバスラインとアイオーポートと共に、前記多層基板に搭載され、

他の回路部品は、前記通常の基板に搭載されたことを特徴とする請求項1記載のプロセッサ搭載回路。

3. プリンタの動作を制御するマイクロプロセッサと、

このマイクロプロセッサとバスラインを通じて接続された全ての周辺回路部品が、前記多層基板に搭載され、

他の回路部品は、前記通常の基板に搭載されたことを特徴とする請求項1記載のプロセッサ搭載回路。

4. プリンタの動作を制御するマイクロプロセッサと、

このマイクロプロセッサとバスラインを通じて接続された全ての周辺回路部品が、2枚以上の多層基板に分割して搭載され、

前記各多層基板間が互いに前記バスラインにより接続され、

他の回路部品は、前記通常の基板に搭載されたことを特徴とする請求項1記載のプロセッサ搭載回路。

### 3. 発明の詳細な説明

#### (産業上の利用分野)

本発明は、マイクロプロセッサを搭載し、種々の機器の制御等に使用されるプロセッサ搭載回路に関する。

#### (従来の技術)

今日、事務機器、その他種々の機器の制御にマイクロプロセッサは広く使用されている。例えば、ワイヤドット式のプリンタにおいては、用紙の搬送、印字ヘッドのスキャニング、印字用の信号処理、その他各種の処理にマイクロプロセッサが活躍している。

ところで、このマイクロプロセッサは、高い周波数の基準クロック信号に同期して、これに接続されたアドレスバス、データバス、システムバス

等を介して、種々の信号の授受を行なっている。しかし、このような動作によって、高周波ノイズが発生し、それが直接放射され、あるいは電源ラインを通じて漏洩し、他の機器に悪影響を及ぼす場合がある。

こうした雑音障害の防止を図るため、いわゆるEMI(電波障害ノイズ)規制が設けられている。この規制によれば、30MHz以上の高周波ノイズを一定レベル以下に押えなければならない。

このようなノイズ対策の方法として、従来、次のような方法が用いられていた。

先ず、電源ラインについては、フェライト製のトロイダルコアに巻回したインダクタンスを、電源ラインに直列に挿入する方法がある。これにより、電源ラインの高周波インピーダンスを高めている。又、雑音電波放出の原因となるコードをシールド化する方法も有効な方法である。更に、基板の回路パターンから直接空間へ放射されるノイズを抑制するために、基板を良導電性のフレー

ムで取り囲み、いわゆるシールド構造にする方法もある(実開昭62-164153号公報)。

又、回路基板のパターン形状を工夫する方法も考えられている。例えばアースパターンを格子状にしたりべたパターンにすることによって、電源ラインに並列な等価静電容量を大きくする。

更に、有効な方法としては、いわゆる多層基板を用いる方法がある。

第2図には、そのような多層基板10の分解斜視図を示した。

この基板は、通常の導体パターン1と、電源パターン2と、アースパターン3と、更に別の導体パターン4とが、絶縁体層5を介して積層された構成のものである。電源パターン2もアースパターン3も、それぞれ、いわゆるべたパターンといわれ、全面に一樣に導体層を形成したものである。これらのパターン2、3は、通常のパターン1とスルーホール6によって電気接続され、短絡防止のために必要に応じて切り抜き部分7等が設けられている。

多層基板といわれるものは他に、3層構造のものや5層以上の多層構造のものと種々開発されているが、このような構造の基板を用いると、通常のパターン1と電源パターン2やアースパターン3との間の等価静電容量を大きくとることができ、しかも回路全体に渡ってその容量を均一に分布させることができるので、高いシールド効果を得ることができる。

#### (発明が解決しようとする課題)

ところが、上記のような多層基板を用いる方法はコストが極めて高くなり、プリンタ等の民生用機器に採用しようとするとその価格競争面で大きな障害となる。

例えば、通常の2層基板、即ち絶縁体の表面と裏面とに導体パターンを形成したものと、第2図に示した4層基板とのコストを比較してみると、後者は前者の約2.3倍程度となる。通常、回路基板は機器の部品の中でも極めて大型の部品の1つであり、そのコスト比率も小さくない。このようなことから、従来より低価格な2層基板を多

用し、先に説明したような他の対策方法によって一定の基準をクリアするようにしていた。しかし、シールド用のフレーム等を設ける場合、今度は機器の小型化を妨げることになってしまう。

本発明は以上の点に着目してなされたもので、安価でかつシールド効果の高い基板構造を採用したプロセッサ搭載回路を提供することを目的とするものである。

#### (課題を解決するための手段)

本発明のプロセッサ搭載回路は、プリンタの動作を制御するマイクロプロセッサと、このマイクロプロセッサとバスラインを通じて接続されたアイオーポートと、このアイオーポートに接続された被制御部とを有し、前記マイクロプロセッサとバスラインとアイオーポートとは、3層以上の導体バターンを絶縁体層を介して積層した多層基板に搭載され、他の回路部品は、前記多層基板とは別体の、片面あるいは両面に導体バターンを形成した通常の基板に搭載されたことを特徴とするものである。

れた回路部品中、汎用性のある部分と、汎用性の無い部分とを、別々の多層基板に分割搭載すれば汎用性のある部分の量産効果を高めることができる。

#### (実施例)

本発明を、以下、具体的な実施例によって説明する。

第1図は、本発明のプロセッサ搭載回路の実施例を示す要部斜視図である。

この回路は、先に第2図で示した多層基板10を通常の基板20の上に垂直に取り付けたものである。この多層基板10上には、マイクロプロセッサ11と、これとバスライン12を通じて接続されたアイオーポート13と、ランダム・アクセス・メモリ14等が搭載されている。この多層基板10には、その下縁に多数の端子15が植設されており、これが通常の基板20の回路パターンに電気接続されている。この端子15は、多数本密集して設けられていることから、側方に短く張り出した端子15aと、長く張り出した端子

#### (作用)

以上の回路は、マイクロプロセッサと、このマイクロプロセッサにバスラインを通じて接続されたアイオーポートと、マイクロプロセッサの周辺回路部品のみが3層以上の導体バターンを有する多層基板に搭載され、他の回路部品は通常の基板に搭載されるよう構成されている。特に、マイクロプロセッサとアイオーポートとの間を接続するバスラインからは高周波ノイズが放射され易く、少なくともこの部分を多層基板上に配線することによって、大きなコスト上昇を防止しつつ、十分なノイズ低減効果が得られる。

又、ランダム・アクセス・メモリも共にこの多層基板に搭載すれば、最も高周波ノイズを発生し易い部分が大部分多層基板上に搭載されることになる。

更にマイクロプロセッサとバスラインを通じて接続された全ての回路部品が多層基板上に搭載されれば、バスラインからのノイズ発生防止効果が最大となる。又、例えばこのバスラインに接続さ

15bとを交互に配列して、互いに必要な接続処理用の間隔を保つようにしている。尚、この多層基板10上に搭載される各集積回路は、実装効率を上げるために、いわゆるベアチップを直接搭載したチップオンボード(COB)方式を採用し、チップの外面を金属カバーや樹脂等で覆うようにしている。

一方、通常の基板20には、他の回路部品21が搭載されており、この実施例の場合、バスライン12の一部が端子15を介して通常の基板20の側に延長され、プログラムや文字フォントを格納したリード・オンリ・メモリ素子を通常の基板20の側に他の回路部品21として搭載している。

第3図に、本発明のプロセッサ搭載回路の実施に適するプリント制御回路のブロック図を示す。

この回路は、マイクロプロセッサの周辺回路を搭載したCPUモジュール30によって制御される回路である。このCPUモジュール30は、第1図に示した多層基板10に搭載された回路

部品に相当する。又、この回路には、操作スイッチ31と、操作ランプ32と、表示パネル33と、セントロニクスインタフェース34と、RS232Cインタフェース35とが接続され、更に、スペースドライブ回路36と、ドライブ補正回路37と、ラインフィードドライブ回路38と、スリットセンサ43とが接続されている。又、CPUモジュール30から延長されたバスライン12'にはプログラムROM50、漢字フォントROM51、記号フォントROM52が接続されている。

操作スイッチ31は、オペレータがプリンタの操作をするためのスイッチで、その結果は操作ランプ32や表示パネル33に表示される。セントロニクスインタフェース34は、いわゆるプリンタ用のインタフェースで、RS232Cインタフェース35は、コンピュータ間のデータ送信に使用される汎用のインタフェースである。

スペースドライブ回路36は、印字ヘッド41のスキヤニングを行うためのスペースモータ40

を駆動するための回路で、このスペースモータ40の動作は、スリットセンサ43がモニタするようにしている。ドライブ補正回路37は、印字ヘッド41に印字用のデータをシリアル転送するための回路である。

ラインフィード(LF)ドライブ回路38は、用紙を1ライン分ずつ搬送する制御を行うためのラインフィードモータ42を駆動する回路である。これらの回路36、37、38はいずれもCPUモジュール30に内蔵されたアイオーポートに接続されている。

又プログラムROM50は、CPUモジュール30に搭載されたマイクロプロセッサの動作プログラムを格納したメモリである。又、漢字フォントROM51と記号フォントROM52は、印字ヘッド41に供給するフォントデータを格納したメモリである。

以上のような回路において、CPUモジュール30に搭載されたマイクロプロセッサ及びアイオーポートとの間は第1図に示したようなバスラ

イン12によって接続されており、この部分から最も高周波のノイズが発生し易いことは先に説明した通りである。

そこで、CPUモジュール30を第1図に示したような多層基板10上に搭載することによってノイズの低減を図ることができる。

これに対して、スペースドライブ回路36、ドライブ補正回路37、ラインフィードドライブ回路38等の他の部品61は、高周波ノイズ発生源となりにくいので、第1図に示したような通常の基板20の側に搭載される。しかも、これらの回路素子は比較的大型で広い実装面積を必要とするため、この部分を通常の基板に搭載することによってコストアップを防止することができる。

一方、CPUモジュール30から延長されたバスライン12'に接続されたリード・オンリ・メモリ50～52等から成る周辺回路部品60は、ノイズ発生防止対策上はCPUモジュール30と同様に多層基板に搭載されることが望ましい。ところが、その一方で、これらのリード・オンリ・

メモリ50、51、52は何れも比較的広い実装面積を要求すること、及びプリンタの仕様によってプログラムの内容やフォントデータの内容が個々に相違し、CPUモジュール30のような汎用性がないこともあって、第1図の実施例で説明したように、通常の基板20の上に搭載することがより実際的である。

以上のことから、各種の好ましい実施例が考えられる。

そこで、本発明をそれぞれの実施例ごとに説明すると以下ようになる。

まず、第4図は本発明の第1の実施例を示すブロック図である。この例では、マイクロプロセッサ(CPU)11と、これとバスライン12を通じて接続されたアイオーポート13とが多層基板10に実装され、ランダム・アクセス・メモリ14及びリード・オンリ・メモリ60は、これとは別の通常の基板20に搭載されている。この実施例においては、バスライン12上を伝送される制御信号に基づく高周波ノイズの発生を阻止す

る。尚、ランダム・アクセス・メモリ14やリード・オンリ・メモリ60へ延長されたバスライン12'を十分短くしておけば、これらを通常の基板に搭載したとしてもそのノイズ発生効果は十分なものが得られる。

第5図は、本発明の第2の実施例を示すブロック図である。

この例は、マイクロプロセッサ11と、バスライン12を通じて接続されたアイオーポート13及びランダム・アクセス・メモリ14とを多層基板10上に搭載したものである。ここでは、リード・オンリ・メモリ60が通常の基板上に搭載された構造となっている。これは、先に第1図で説明した実施例と同様のケースである。この場合、各種制御データの一時格納に使用されるランダム・アクセス・メモリ14から発生する高周波ノイズが十分抑制される。更に、このように汎用性のある部分と機器の仕様に依じて適宜交換されるリード・オンリ・メモリ60の部分を分離して、量産効果を高める効果がある。

場合、リード・オンリ・メモリ60を搭載するための多層基板10'の分だけコストが上昇するという難点はあるものの、両基板間を接続するバスライン12'を十分短く採ることによって、第6図に示した実施例と同様の大きなノイズ低減効果を有する他、第5図で説明した実施例同様、汎用性のある部分と機器ごとに仕様の異なる部分を分離し、基板等の量産効果を高めるという利点がある。

(発明の効果)

以上の説明した本発明のプロセッサ搭載回路は、マイクロプロセッサとバスラインを通じてこれに接続された周辺回路部品を他の回路部品と切り離して多層基板に搭載するようにしたので、最もノイズ対策の難しい部分について、大きなノイズ抑制効果を得る。しかも、比較的小さい実装面積で多層基板を使用するため回路全体のコスト上昇を抑えることができる。

#### 4. 図面の簡単な説明

第1図は本発明のプロセッサ搭載回路の要部斜

第6図は、本発明の第3の実施例を示すブロック図である。

この実施例は、マイクロプロセッサ11とバスライン12を通じてこれに接続されるアイオーポート13、ランダム・アクセス・メモリ14、リード・オンリ・メモリ60等の周辺回路部品を全て多層基板10上に搭載したものである。これはバスライン12を伝送される制御信号の高周波ノイズを抑制する点で最も効果がある方法といえる。しかも、これらの回路部品が十分小型化できるような機器においては、これ以外の回路部品とこのマイクロプロセッサ周辺回路部品との実装面積の比率の大きさを考慮すれば、基板のコストを十分抑えた上で、最大のノイズ低減効果を得るという点で有効である。

第7図は、本発明の第4の実施例を示すブロック図である。

これは、第5図で説明した実施例と類似しており、リード・オンリ・メモリ60を別の多層基板10'に搭載した例を示している。この実施例の

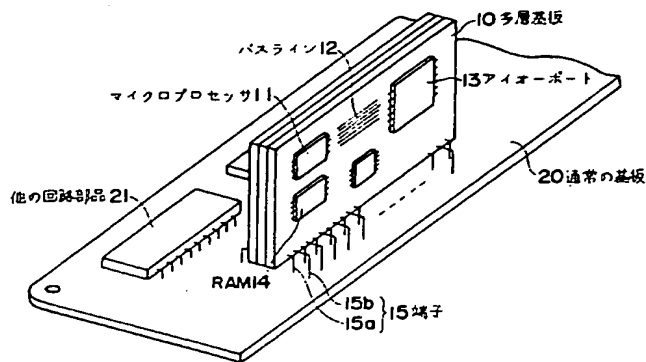
視図、第2図は本発明の回路に使用する多層基板の分解斜視図、第3図は本発明の実施に適するプリンタ制御回路のブロック図、第4図から第7図までは本発明のそれぞれ異なる実施例を示すブロック図である。

10…多層基板、11…マイクロプロセッサ、  
12…バスライン、13…アイオーポート、  
14…ランダム・アクセス・メモリ、  
15…端子、20…通常の基板、  
21…他の回路部品。

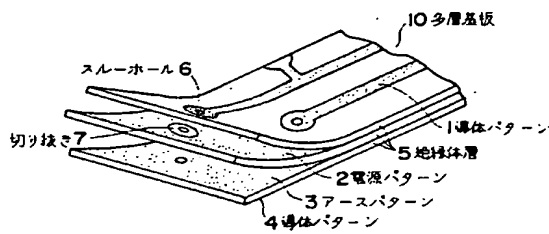
特許出願人 沖電気工業株式会社

代理人 鈴木 敏 明

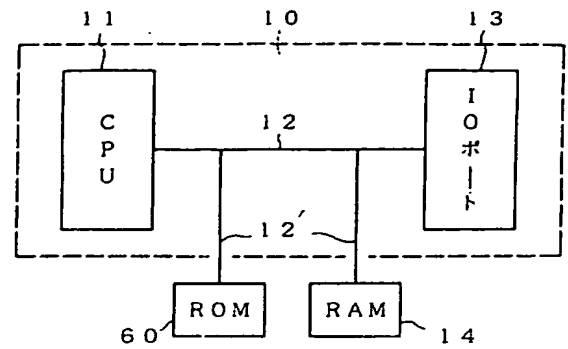




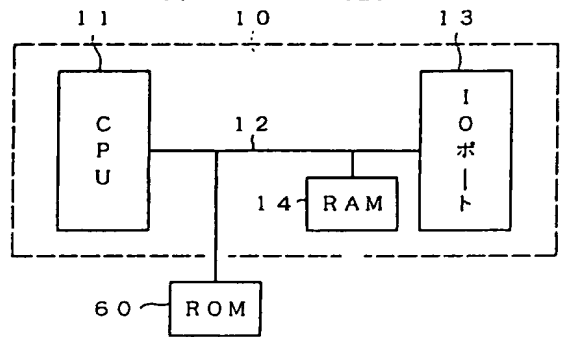
本発明のプロセッサ搭載回路基板側面図  
第1図



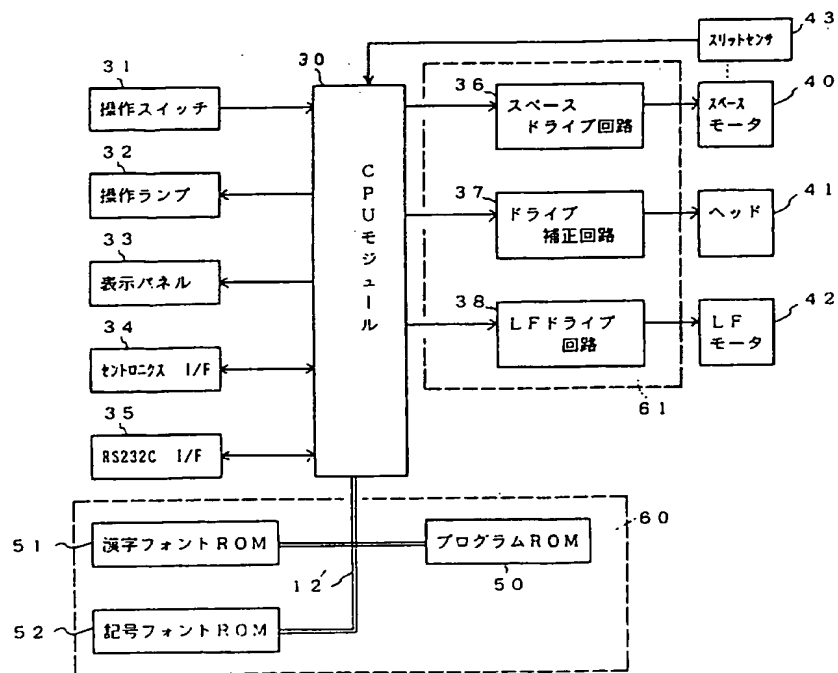
多層基板の分解斜視図  
第2図



本発明の実施例ブロック図  
第4図

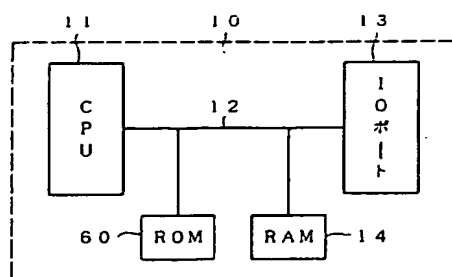


本発明の実施例ブロック図  
第5図

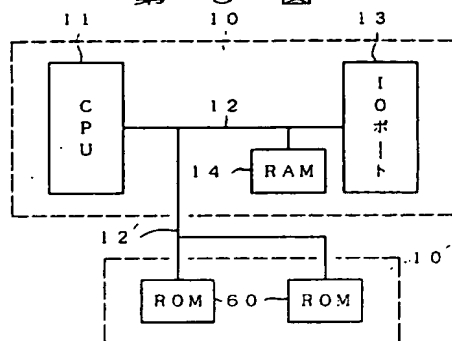


プリンタ制御回路のブロック図  
第3図





本発明の実施例ブロック図  
第 6 図



本発明の実施例ブロック図  
第 7 図